

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

United States Patent and Trademark
Office
(Box PCT)
Crystal Plaza 2
Washington, DC 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing:

03 December 1998 (03.12.98)

International application No.:

PCT/JP98/00963

Applicant's or agent's file reference:

98018

International filing date:

09 March 1998 (09.03.98)

Priority date:

30 May 1997 (30.05.97)

Applicant:

SHIBATA, Akihide et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

31 July 1998 (31.07.98)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

37 MH
Translation

69/4248966
PATENT COOPERATION TREATY

5000

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 98018	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP98/00963	International filing date (day/month/year) 09 March 1998 (09.03.1998)	Priority date (day/month/year) 30 May 1997 (30.05.1997)
International Patent Classification (IPC) or national classification and IPC H01L 27/088, 21/8234		
Applicant SHARP KABUSHIKI KAISHA		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of _____ sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 31 July 1998 (31.07.1998)	Date of completion of this report 27 April 1999 (27.04.1999)
Name and mailing address of the IPEA/JP Japanese Patent Office, 4-3 Kasumigaseki 3-chome Chiyoda-ku, Tokyo 100-8915, Japan Facsimile No.	Authorized officer Telephone No. (81-3) 3581 1101

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/00963

I. Basis of the report

1. With regard to the elements of the international application:*

- ☒ the international application as originally filed
- ☐ the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the claims:
 pages _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the drawings:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____; filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/00963

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	5, 10-29, 31-36	YES
	Claims	1-4, 6-9, 30	NO
Inventive step (IS)	Claims	10-29, 35	YES
	Claims	1-9, 30-34, 36	NO
Industrial applicability (IA)	Claims	1-36	YES
	Claims		NO

2. Citations and explanations

JP, 04-38864, A (Nippon Telegraph & Telephone Corp.) cited in the ISR (document 1) describes a field effect transistor having a laminate structure corresponding to a shallow well region, a highly enriched buried region and a deep well region, wherein a substrate terminal is installed through a contact hole in any other region than a source region and a drain region, and the technique disclosed in document 1 appears to be identical to the subject matters of claims 1-4.

JP, 06-53422, A (Hitachi, Ltd.) cited in the ISR (document 2) describes what corresponds to a channel type separated region, and since the region is formed sufficiently deep compared to what corresponds to a shallow well, the subject matter of claims 5 and 31 could have been easily conceived by a person skilled in the art based on the matters described in documents 1 and 2.

JP, 06-120439, A (NEC Corp.) cited in the ISR (document 3) describes an inverter circuit having a CMOS structure which gives the reverse bias of a P type MOS transistor and the reverse bias of an N type transistor respectively from independent terminals, and the subject matters of claims 6-9 appear to be identical to the technique disclosed in document 3.

JP, 06-78885, A (Seiko Epson Corp.) cited in the ISR (document 4) describes a CMOS level shifter which can apply a reverse gate voltage independently to the respective wells of a CMOS integrated circuit, but does not describe what corresponds to a shallow well, a highly enriched buried region or a deep well. So, document 4 does not appear to include any description which negates the novelty and inventive step of the subject matters of claims 10-29 and 35. However, applying a synchronous signal to the reverse gates of a P type MOS transistor and an N type MOS transistor can be commonly found also in the subject matter of claim 36.

JP, 08-204140, A (NEC Corp.) cited in the ISR (document 5) describes a technique for controlling the reverse gate bias in a field effect transistor having a so-called SOI structure, and the subject matter of claim 30 appears to be identical to the technique described in document 5. Furthermore, the subject matters of claims 32-34 could have been easily conceived by a person skilled in the art from the matters described in documents 3 and 5.

THIS PAGE BLANK (USPTO)

REC'D 17 MAY 1999

WIPO PCT

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 98018	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 98/00963	国際出願日 (日.月.年) 09.03.98	優先日 (日.月.年) 30.05.97
国際特許分類 (IPC) Int.Cl ⁴ H01L27/088、H01L21/8234		
出願人 (氏名又は名称) シャープ株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で _____ ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
 - II ☐ 優先権
 - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - IV ☐ 発明の単一性の欠如
 - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - VI ☐ ある種の引用文献
 - VII ☐ 国際出願の不備
 - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 31.07.98	国際予備審査報告を作成した日 27.04.99	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 淳一	4 R 9055
電話番号 03-3581-1101 内線 6758		

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	5、10-29、31-36	有
	請求の範囲	1-4、6-9、30	無
進歩性(IS)	請求の範囲	10-29、35	有
	請求の範囲	1-9、30-34、36	無
産業上の利用可能性(IA)	請求の範囲	1-36	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

国際調査報告書に掲げられたJP、04-38864、A(日本電信電話株式会社)(以下引用文献1)には、シャローウェル領域、高濃度埋込領域及びディープウェル領域に相当する積層構造であって、ソース領域及びドレイン領域以外の領域に設けられたコンタクト孔を介して基板端子が取り付けられた電界効果型トランジスタ記載されており、そこに開示された技術は、請求の範囲第1-4項に記載されたものと同一であると認められる。

国際調査報告書に掲げられたJP、06-53422、A(株式会社日立製作所)(以下引用文献2)には、溝型分離領域に相当するものが記載されており、当該領域はシャローウェルに相当するものよりも充分深く形成されているから、請求の範囲第5、31に記載された発明は引用文献1に記載された事項とこの文献に記載された事項に基づいて当業者が容易に発明することができたものであると認められる。

国際調査報告書に掲げられたJP、06-120439、A(日本電気株式会社)(以下引用文献3)には、P型MOSトランジスタのバックバイアスとN型トランジスタのバックバイアスとをそれぞれ独立の端子から与えるCMOS構造のインバータ回路が記載されており、請求の範囲第6-9項に記載された発明はそこに開示された技術と同一であると認められる。

国際調査報告書に掲げられたJP、06-78885、A(セコーエプソン株式会社)(以下引用文献4)には、CMOS集積回路の各ウェルに独立にバックゲート電圧を印加することができるCMOSレベルシフタが記載されているが、当該CMOSがシャローウェル、高濃度埋込領域あるいはディープウェルに相当するものは記載されておらず、請求の範囲第10-29、35項に記載された発明の新規性、進歩性を否定する記載は認められない。但し、P型MOSトランジスタとN型MOSトランジスタのバックゲートに同期信号を与える点で請求の範囲第36項に記載された発明と共通している。

国際調査報告書に掲げられたJP、08-204140、A(日本電気株式会社)(以下引用文献5)には、いわゆるSOI構造の電界効果トランジスタにおいて、バックゲートバイアスを制御する技術が記載されており、請求の範囲第30項に記載された発明はこの文献に記載された技術と同一であると認められる。また、請求の範囲第32-34項に記載された発明は、引用文献3とこの文献に記載された事項から当業者が容易に発明することができたものであると認められる。

THIS PAGE BLANK (USPTO)

P C T

E P

US

国際調査報告

(法 8 条、法施行規則第40、41条)

[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号	9 8 0 1 8	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記5を参照すること。	
国際出願番号 P C T / J P 9 8 / 0 0 9 6 3	国際出願日 (日.月.年) 0 9 . 0 3 . 9 8	優先日 (日.月.年) 3 0 . 0 5 . 9 7	
出願人 (氏名又は名称) シャープ株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

2. ☐ 発明の単一性が欠如している (第 II 欄参照)。

3. ☐ この国際出願は、ヌクレオチド及び／又はアミノ酸配列リストを含んでおり、次の配列リストに基づき国際調査を行った。

☐ この国際出願と共に提出されたもの

☐ 出願人がこの国際出願とは別に提出したもの

☐ しかし、出願時の国際出願の開示の範囲を越える事項を含まない旨を記載した書面が添付されていない

☐ この国際調査機関が書換えたもの

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USP10)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ H01L 27/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H01L 27/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1964-1996年

日本国公開実用新案公報 1971-1996年

日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P、04-38864、A (日本電信電話株式会社)、10日2月 1992年(10.02.92)、(ファミリーなし) (第5頁右上欄第4行~第13頁右下欄第13行)	1-4
X	J P、09-27556、A、(株式会社日立製作所)、28日1月 1997年、(28.01.97)、(ファミリーなし) (第23パラグラフ~第42パラグラフ)	1-4
Y	J P、06-53422、A、(株式会社日立製作所)、25日02月 1994年、(25.02.94)、(ファミリーなし) (第15パラグラフ~第45パラグラフ)	5、31
X	J P、06-120439、A (日本電気株式会社)、28日4月 1994年(28.04.94)、(ファミリーなし)	6-9
Y	(第14パラグラフ~第24パラグラフ)	32-34

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02.06.98

国際調査報告の発送日

16.06.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 淳一

4M

9055

電話番号 03-3581-1101 内線 6894

THIS PAGE BLANK (USPTO)

C (続き). 関連すると認められる文献

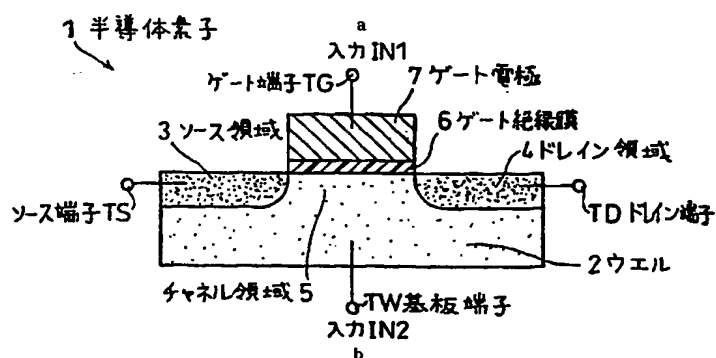
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P、07-78885、A(セイコーエプソン株式会社)、 20日3月1995年、(20. 03. 95)、(ファミリーなし) (第6パラグラフ～第10パラグラフ)	10-29、 35
Y		36
X	J P、08-204140、A(日本電気株式会社)、9日8月 1996年、(09. 08. 96)&EP724295(31.07.96) (第33パラグラフ～第108パラグラフ)	30
Y		32-34

THIS PAGE BLANK (USPTO)

<p>(51) 国際特許分類6 H01L 27/08</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/54762</p> <p>(43) 国際公開日 1998年12月3日(03.12.98)</p>
<p>(21) 国際出願番号 PCT/JP98/00963</p> <p>(22) 国際出願日 1998年3月9日(09.03.98)</p> <p>(30) 優先権データ 特願平9/142575 1997年5月30日(30.05.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) シャープ株式会社(SHARP KABUSHIKI KAISHA)[JP/JP] 〒545-8522 大阪府大阪市阿倍野区長池町22-22 Osaka, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 柴田晃秀(SHIBATA, Akihide)[JP/JP] 〒631-0803 奈良県奈良市山陵町104-B203 Nara, (JP)</p> <p>岩田 浩(IWATA, Hiroshi)[JP/JP] 〒636-0813 奈良県生駒郡三郷町信貴ヶ丘2-4-13 Nara, (JP)</p> <p>(74) 代理人 弁理士 原 謙三(HARA, Kenzo) 〒530-0041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル 原謙三国際特許事務所 Osaka, (JP)</p>		<p>(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR DRIVING THE SAME

(54) 発明の名称 半導体装置およびその駆動方法



1 ... semiconductor element

TS ... source terminal

a ... input IN1

TG ... gate terminal

3 ... source region

7 ... gate electrode

6 ... gate insulating film

4 ... drain region

TD ... drain terminal

5 ... channel region

TW ... substrate terminal

b ... input IN2

2 ... well

(57) Abstract

A semiconductor element (1) in which a source region (3) and a drain region (4) are formed in a well (2) and a gate electrode (7) is formed on a channel region (5) provided between the regions (3 and 4), through a gate insulating film (6), wherein a substrate terminal (TW) is led out from the channel region (5) by using, for example, an SOI substrate and electrically insulating each element from another by a field oxide film, etc., and then, forming contact holes through interlayer insulating films in the other region than the source region (3) and drain region (4) at every element. Therefore, a two-input one-output element which uses a gate terminal (TG) and the substrate terminal (TW) as inputs can be realized and, at the time of constituting a logic circuit, the degree of integration and the operating speed of the circuit can be increased and the cost of the circuit can be reduced.

(57)要約

ウェル（２）内にソース領域（３）とドレイン領域（４）とが形成され、かつそれらの領域間のチャネル領域（５）上に、ゲート絶縁膜（６）を介してゲート電極（７）が形成される半導体素子（１）において、たとえばＳＯＩ基板を用い、かつフィールド酸化膜などによって各素子間を電氣的に絶縁し、各素子毎にソース領域（３）およびドレイン領域（４）以外の領域で層間絶縁膜にコンタクト孔を形成し、チャネル領域（５）から基板端子（ＴＷ）を引出す。これによって、ゲート端子（ＴＧ）と該基板端子（ＴＷ）との２つを入力とする２入力１出力の素子を実現することができ、論理回路などを構成するにあたって、集積度を向上し、高速化および低コスト化を図ることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
BJ	ベナン	GR	ギリシャ	ML	マリ	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	US	米国
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NO	ノールウエー		
CM	カメルーン	JP	日本	NZ	ニュー・ジーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KP	北朝鮮	RO	ルーマニア		
CZ	チェッコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン	LK	スリ・ランカ	SI	スロヴェニア		

明 細 書

半導体装置およびその駆動方法

技術分野

本発明は、M O S F E T等の半導体素子で実現される半導体装置およ
5 びそれに所定動作を行わせるための駆動方法に関する。

背景技術

前記M O S F E Tは、ゲート電極に印加する電圧を変化させることによ
って、ソースドレイン間の電氣的導通を制御することができる。た
10 とえば、N型のM O S F E Tでは、ゲート電極にハイレベルを入力する
と、ソースドレイン間が導通する一方、ローレベルを入力すると遮断
する。このとき、ウェルの電位は、通常は固定されており、たとえば前
記N型のM O S F E Tではローレベルに、P型のM O S F E Tではハイ
レベルに固定されている。このようにして、従来からのM O S F E Tは
15 、ゲート電極を入力とし、ソースドレイン間のスイッチングを行う3
端子素子として使用されている。

図22は、このようなM O S F E Tを用いた一例であり、典型的な従
来技術に係る半導体装置である論理回路10g1の電気回路図である。
この論理回路10g1は、入力端子p1, p2への入力in1, in2
20 がそれぞれ与えられるPMOSFET(qp1及びqp2)の並列回路
が、ハイレベルV_{DD}の電源ラインと出力端子p3との間に接続され、前
記入力in1, in2がそれぞれ与えられるNMOSFET(qn1及

び q_{n2} の直列回路が、前記出力端子 p_3 とローレベル GND の電源ラインとの間に接続されて構成されており、入力 i_{n1} , i_{n2} の少くともいずれか一方がローレベルであるときに出力 out をハイレベルとする $NAND$ 回路である。

- 5 また、図 23 は、他の従来技術に係る論理回路 log_2 の電気回路図である。この論理回路 log_2 は、前記入力 i_{n1} , i_{n2} がそれぞれ与えられる $PMOSFET$ (q_{p1} 及び q_{p2}) の直列回路が、ハイレベル V_{DD} の電源ラインと出力端子 p_3 との間に接続され、前記入力 i_{n1} , i_{n2} がそれぞれ与えられる $NMOSFET$ (q_{n1} 及び q_{n2})
- 10 の並列回路が、前記出力端子 p_3 とローレベル GND の電源ラインとの間に接続されて構成されおり、入力 i_{n1} , i_{n2} の少くともいずれか一方がハイレベルであるときに、出力 out をローレベルとする NOR 回路である。

- 上述のような従来技術に係る半導体装置である論理回路 log_1 , log_2 では、各 $MOSFET$ が 1 つの入力に対してその出力が対応するので、上述のように $NAND$ 回路や NOR 回路に 4 個の $MOSFET$ を必要とする。また、 AND 回路は前記 $NAND$ 回路に NOT 回路 (2 個の $MOSFET$ からなる) を直列に接続し、 OR 回路は前記 NOR 回路に NOT 回路を直列に接続することによって実現できるので、それぞれ
- 15 6 個の $MOSFET$ を必要とする。したがって、一つの演算を行うのに多くの $MOSFET$ が必要となるので、半導体装置の集積度の向上の障害となり、このため動作速度の高速化、歩留りの向上、およびコストの削減の妨げとなっている。

 本発明の目的は、1 素子当たりの高機能化を図ることによって集積度

を向上させると共に、動作速度の高速化、歩留りの向上、及びコストの削減化を図ることができる半導体装置およびその駆動方法を提供することである。

5 発明の開示

本発明に係る第1半導体装置は、半導体基板と、該半導体基板上に形成される下地絶縁膜と、前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲されて隣接素子間が区分され、第1の電極となるP、Nいずれか一方の導電型式の半導体層と、前記半導体層内に形成され、P、Nいずれか他方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、前記ソース領域とドレイン領域との間に形成されるチャネル領域と、前記チャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けている。

上記構成によれば、半導体基板上に形成した下地絶縁膜上に素子を形成するSOI (Silicon On Insulator), SOS (Silicon On Sapphire) 構造の基板を用いることによって、各素子の形成領域を素子分離領域によって、比較的容易に、電氣的に分離することができ、こうして各素子相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分離された各素子形成領域毎にMOSFETを形成する。そして、その各MOSFETの半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力と、この半導体層への入力との2つの入力を可能とする4端子素子を実現する。

したがって、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。

また、本発明に係る第2半導体装置は、半導体基板と、前記半導体基板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域と、前記ディープウェル領域上に形成され、第1の電極となるP、Nいずれか他方の導電型式のシャローウェル領域と、前記シャローウェル領域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、前記ソース領域とドレイン領域との間に形成されるチャネル領域と、前記チャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、相互に隣接する素子間が溝型分離領域によって少なくともシャローウェル領域が電氣的に分離されており、該溝型分離領域で隣接素子間が区分された各シャローウェル領域毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けている。

上記構成によれば、バルク基板であっても、各素子形成領域のシャローウェル領域を溝型分離領域で電氣的に絶縁することによって、各素子相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分離された各素子形成領域毎にMOSFETを形成する。そして、そのMOSFETのシャローウェル領域をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力と、このシャローウェル領域への入力との2つの入力を可能とする4端子素子を実現する。

したがって、1素子で2入力、1出力の回路を実現することができ、
MOSFET単体の機能を向上することができる。これによって、たと
えば論理回路を構成した場合には、集積回路化にあたって集積度を向上
することができ、動作速度の高速化、歩留まりの向上およびコストの削
5 減を図ることができる。また、SOI、SOS基板を用いる場合よりも、
低コスト化および第1の電極の抵抗値を低減することができる。

上記の第1及び第2半導体装置において、導電型式が相互に逆極性の
素子を一对とし、P型半導体素子のソースを高電位固定とし、N型半導
体素子のソースを低電位固定とし、両者のゲートを互いに接続して第1
10 の入力端子とし、両者のコンタクト孔を互いに接続して第2の入力端子
とし、両者のドレインを互いに接続して出力端子とすることが好ましい。

この場合、P、N一对のMOSFETのうち、PMOSFETのソー
スを高電位固定とし、NMOSFETのソースを低電位固定とし、両者
のドレインを互いに接続して出力としたCMOSインバータの構成にお
15 いて、両者のコンタクト孔を互いに接続して第2の入力端子とし、通常
の入力である両者のゲートを互いに接続して第1の入力端子とする。

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を
適宜調整することによって、NANDまたはNOR回路を実現すること
ができる。これによって、従来では4つのMOSFETを要したこれら
20 の回路を、2つのMOSFETで実現することができる。

さらにまた、上記の第1及び第2半導体装置において、導電型式が相
互に逆極性の素子を一对とし、P型半導体素子のソースを高電位固定と
し、N型半導体素子のソースを低電位固定とし、P型半導体素子のゲー
トおよびN型半導体素子のコンタクト孔を共に第1の入力端子とし、N

型半導体素子のゲートおよびP型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とすることが好ましい。

この場合、P、N一对のMOSFETのうち、PMOSFETのソースを高電位固定とし、NMOSFETのソースを低電位固定とし、両者の
5 のドレインを互いに接続して出力としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする。

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を
10 適宜調整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

さらにまた、上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型半導体素子のドレインを高電位固定
15 とし、P型半導体素子のドレインを低電位固定とし、両者のゲートを共に第1の入力端子とし、両者のコンタクト孔を共に第2の入力端子とし、両者のソースを共に出力端子とすることが好ましい。

この場合、2つの入力の電位またはチャネル領域の不純物濃度等を適
宜調整することによって、ANDまたはOR回路を実現することができる。
20 る。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

又、上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型半導体素子のドレインを高電位固定とし、P型半導体素子のドレインを低電位固定とし、N型半導体素子のゲートお

よびP型半導体素子のコンタクト孔を共に第1の入力端子とし、P型半導体素子のゲートおよびN型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とすることが好ましい。

この場合、2つの入力の電位またはチャネル領域の不純物濃度等を適
5 宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

さらにまた、上記の半導体装置において、ゲートおよびコンタクト孔
10 をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することが好ましい。この場合、クロックなどによって同期した相互に同期の取れた2つの入力信号に対して、上記各素子が1つの出力信号を出力する。したがって、単純な1入力1出力のON/OFF動作ではなく、2入力1出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

15 本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

20 図1は、本発明の基本的な構成を表す、本発明の第1実施例の半導体素子を模式的に示す断面図である。

図2は、図1で示す半導体素子の動作特性の一例を示すグラフである。

図3は、図1で示す半導体素子の動作特性の他の例を示すグラフである。

図 4 は、図 1 の構成を具体的に実現する本発明の第 2 実施例の半導体素子の正面図である。

図 5 は、図 4 の V-V 矢視断面図である。

図 6 は、図 4 の VI-VI 矢視断面図である。

5 図 7 は、図 1 の構成を具体的に実現する本発明の第 3 実施例の半導体素子の正面図である。

図 8 は、図 7 の VIII-VIII 矢視断面図である。

図 9 は、図 7 の IX-IX 矢視断面図である。

10 図 10 は、図 1～図 9 で示す半導体素子を用いる本発明の第 4 実施例の論理回路の電気回路図である。

図 11 (a) (b) は、図 10 で示す論理回路の動作特性を示すグラフである。

図 12 は、図 1～図 9 で示す半導体素子を用いる本発明の第 5 実施例の論理回路の電気回路図である。

15 図 13 (a) (b) は、図 12 で示す論理回路の動作特性を示すグラフである。

図 14 (a) (b) は、本発明の第 6 実施例の論理回路の動作特性を示すグラフである。

20 図 15 (a) (b) は、本発明の第 7 実施例の論理回路の動作特性を示すグラフである。

図 16 は、図 1～図 9 で示す半導体素子を用いる本発明の第 8 実施例の論理回路の電気回路図である。

図 17 (a) (b) は、図 16 で示す論理回路の動作特性を示すグラフである。

図 1 8 は、図 1 ～図 9 で示す半導体素子を用いる本発明の第 9 実施例の論理回路の電気回路図である。

図 1 9 (a) (b) は、図 1 8 で示す論理回路の動作特性を示すグラフである。

5 図 2 0 (a) (b) は、本発明の第 1 0 実施例の論理回路の動作特性を示すグラフである。

図 2 1 (a) (b) は、本発明の第 1 1 実施例の論理回路の動作特性を示すグラフである。

10 図 2 2 は、典型的な従来技術の MOSFET 素子を用いて構成される論理回路の一例を示す電気回路図である。

図 2 3 は、典型的な従来技術の MOSFET 素子を用いて構成される論理回路の他の例を示す電気回路図である。

発明を実施するための最良の形態

15 本発明をより詳細に説述するために、添付の図面に従ってこれを説明する。まず、本発明の第 1 実施例について、図 1 ～図 3 に基づいて説明すれば以下の通りである。

図 1 は、本発明の基本的な構成を説明するための本発明の第 1 実施例の半導体素子 1 を模式的に示す断面図である。半導体素子 1 は、図 1 に示すように、ウェル 2 内に、ソース領域 3 とドレイン領域 4 とが形成され、これらの間のチャネル領域 5 上に、ゲート絶縁膜 6 を介してゲート電極 7 が形成されて構成される通常の MOSFET の構造において、ウェル 2 からコンタクト孔（図示しない）を介して基板端子 TW を引出してこれを第 1 の電極とし、ソース領域 3 から引出されて第 2 の電極とな

20

るソース端子TSと、ドレイン領域4から引出されて第3の電極となるドレイン端子TDと、ゲート電極7から引出されて第4の電極となるゲート端子TGとの4端子構成を有している。第1の入力端子である前記ゲート端子TGと第2の入力端子である前記基板端子TWとには、それぞれクロック信号などに基づいて相互に同期の取れた個別の入力IN1, IN2が与えられる。なお、ドレインーソース間には適当なドレイン電圧が印加されているものとする。

前記半導体素子1において、NMOSFET（ウェル2がP型に形成される）の場合には、入力IN1, IN2の電位に対するドレイン電流の関係が、たとえば図2で示すようになる。入力IN2、すなわちウェル電位が低電位（L）であり、かつ入力IN1、すなわちゲート電位が低電位（L）であるときのドレイン電流は I_{LL} となり、前記入力IN2が低電位（L）であり、かつ入力IN1が高電位（H）であるときのドレイン電流は I_{HL} となる。

これに対して、入力IN2が高電位（H）であり、かつ入力IN1が低電位（L）であるときには I_{LH} のドレイン電流が流れ、入力IN2が高電位（H）であり、かつ入力IN1も高電位（H）であるときには I_{HH} のドレイン電流が流れる。

このように、同じ入力IN1に対しても、入力IN2の電位が高い方がドレイン電流が大きくなっている。これは、MOSFETにおいて、ウェル2に正の電圧を印加すると、チャネル領域の電位障壁が低下し、閾値電圧が低下することによるものである。すなわち、ゲート電極7に正の電圧を印加していったときに、ドレイン電流の流れ始める電圧が低下することによるものである。

この図 2 から、入力 I N 2 が低電位 (L) であるときには、入力 I N 1 が高電位 (H) 又は低電位 (L) のいずれであっても、ドレイン電流には殆ど差が生じないけれども、入力 I N 2 が高電位 (H) であるときには、入力 I N 1 に対して、高電位 (H) と低電位 (L) とでドレイン
5 電流に大きな差が生じる。したがって、この図 2 の例では、入力 I N 1 , I N 2 がともに高電位 (H) である場合のみドレインソース間が導通し、その他の場合には遮断する動作を実現している。

一方、動作特性を図 3 のように設定することによって、入力 I N 1 , I N 2 の少くともいずれか一方が高電位 (H) であるときには、ドレイ
10 ンソース間が導通し、入力 I N 1 , I N 2 がともに低電位 (L) であるときにのみ遮断する動作を実現することができる。

これら図 2 で示す特性と図 3 で示す特性とは、前記図 1 で示すような構造の半導体素子 1 において、たとえばチャネル領域 5 の不純物濃度や、入力 I N 1 , I N 2 の高電位 (H) のレベルおよび低電位 (L) のレ
15 ベルを適宜調整することによって、選択することができる。なお、P M O S F E T (前記ウェル 2 が N 型に形成される) の場合には、これら図 2 および図 3 とは逆の動作特性となる。

このようにして、相互に同期した 2 つの入力 I N 1 , I N 2 に対して 1 つの出力を得ることができる素子を、1 つの素子で実現して、該素子
20 の高機能化を図ることによって集積回路化にあたってその集積度を向上することができる。

本発明の第 2 実施例について、図 4 ~ 図 6 に基づいて説明すれば以下の通りである。

図 4 ~ 図 6 は、上述の半導体素子 1 を具体的に実現するようにした半

導体素子 1 1 の構造を示す図である。図 4 は正面図であり、図 5 は図 4 の V-V 矢視断面図であり、図 6 は図 4 の VI-VI 矢視断面図である。なお図 4 では、説明の便宜上、後述する上部メタル配線および層間絶縁膜を取除いた実質の素子部分を示している。

- 5 この半導体素子 1 1 は、半導体基板 1 2 上に下地絶縁膜 1 3 が形成され、さらにこの下地絶縁膜 1 3 上に半導体層 1 4 が形成された S O I 基板を用いている。また、半導体層 1 4 (ウェル 2) は、隣接素子間でフィールド酸化膜 1 5 によって相互に電氣的に分離されており、隣接する素子間のウェル電位の変化の影響を受けないように構成されている。半
- 10 導体層 1 4 内には、該半導体層 1 4 の導電型式とは逆の導電型式、すなわち、たとえば該半導体素子 1 1 が N M O S F E T であるときには、該半導体層 1 4 の導電型式は P 型であり、N 型となる前記ソース領域 3 およびドレイン領域 4 が形成され、それらのソース領域 3 とドレイン領域 4 との間のチャネル領域上に、前記ゲート絶縁膜 6 を介してゲート電極
- 15 7 が形成されている。

- このように形成された素子は、層間絶縁膜 1 6 で被覆されている。この層間絶縁膜 1 6 には、コンタクト孔 1 7, 1 8, 1 9 が形成されて上部メタル配線 2 1, 2 2, 2 3 がそれぞれ前記ソース領域 3、ドレイン領域 4、ゲート電極 7 と電氣的に接続される(図 5 及び図 6 参照)。これによって、該上部メタル配線 2 1, 2 2, 及び 2 3 が、それぞれ前記
- 20 ソース端子 T S、ドレイン端子 T D、及び第 1 の入力端子であるゲート端子 T G となる。また、この層間絶縁膜 1 6 において、前記ソース領域 3 およびドレイン領域 4 以外の領域に、コンタクト孔 2 0 が形成されている(図 6 参照)。前記半導体層 1 4 において、このコンタクト孔 2 0

に対応する領域 1 4 a は、前記半導体層と同じ導電型式で不純物濃度の濃い領域であり、この領域 1 4 a によって、前記コンタクト孔 2 0 に形成される上部メタル配線 2 4 は、半導体層 1 4 とオーミック接続され、該上部メタル配線 2 4 は第 2 の入力端子である基板端子 T W となる。

5 このような構造によって、S O I 基板を用いて、さらに半導体層 1 4 にフィールド酸化膜 1 5 を形成するだけで、比較的容易に、隣接素子間を絶縁分離して、前記図 1 で示すような 4 端子素子を実現することができる。

10 以上のように、本実施例は、S O I, S O S 構造の基板上で、各素子の形成領域を素子分離領域（フィールド酸化膜 1 5）によって電氣的に分離し、分離された各素子形成領域毎に M O S F E T を形成し、その M O S F E T の半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とする構成を有している。

15 それゆえ、1 素子で 2 入力、1 出力の回路を実現することができ、M O S F E T 単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたってその集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。

20 本発明の第 3 実施例について、図 7 ～図 9 に基づいて説明すれば以下の通りである。

図 7 ～図 9 は、前記図 1 で示す半導体素子 1 を、前記図 4 ～図 6 で示す半導体素子 1 1 とは異なる構造（バルクタイプの構造）で実現するようにした、半導体素子 3 1 の構造を示す図である。図 7 は正面図であり、図 8 は図 7 の VIII - VIII 矢視断面図であり、図 9 は図 7 の IX - IX 矢視

断面図である。なお図 7 では、説明の便宜上、層間絶縁膜および上部メタル配線を省略している。

この半導体素子 3 1 では、半導体基板 3 2 上に、ディープウェル領域 3 3 と、このディープウェル領域 3 3 とは逆の導電形式のシャローウェル領域 3 4 とを積層形成するようにした基板を用いる。なお、前記シャローウェル領域 3 4 内には、該シャローウェル領域 3 4 の抵抗を低減するための高濃度埋込領域 3 5 が形成されており、また隣接する素子間には、電気絶縁性の溝型素子分離領域 3 6 によって相互に電氣的に分離されている。前記シャローウェル領域 3 4 には、該シャローウェル領域 3 4 と逆の導電形式のソース領域 3 およびドレイン領域 4 が形成されており、またこのソース領域 3 とドレイン領域 4 との間のチャネル領域上には、ゲート絶縁膜 6 を介してゲート電極 7 が形成されている。なお、高濃度埋込領域 3 5 とディープウェル領域 3 3 との間に設けられた層は、シャローウェル領域である。

前記ソース領域 3、ドレイン領域 4 およびゲート電極 7 は、層間絶縁膜 3 7 に形成されたコンタクト孔 4 1、4 2、4 3 を介して、上部メタル配線 4 5、4 6、4 7 にそれぞれ電氣的に接続されている。また、前記シャローウェル領域 3 4 において、前記ソース領域 3 およびドレイン領域 4 以外の領域に、不純物濃度の濃い領域 3 4 a が形成されており、この領域 3 4 a は前記層間絶縁膜 3 7 に形成されたコンタクト孔 4 4 を介して、上部メタル配線 4 8 と電氣的に接続される（図 9 参照）。これによって、シャローウェル領域 3 4 は、上部メタル配線 4 8 とオーミック接続される。前記領域 3 4 a とゲート電極 7 との間には、フィールド酸化膜 3 8 が形成されている（図 9 参照）。

この半導体素子 3 1 において、前記ソース領域 3 およびドレイン領域 4 は、たとえば、その深さが約 1 0 0 n m および不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上に形成され、シャローウェル領域 3 4 は、その深さが約 1, 0 0 0 n m および不純物濃度が $5 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ に形成され、上記高濃度埋込領域 3 5 は、その不純物の濃度分布がピークとなる深さが 5 0 0 n m \sim 7 0 0 n m、またそのピーク濃度が約 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ に形成され、ディープウェル領域 3 3 は、その深さが約 3 μ m および不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ に形成される。なお、各領域の深さおよび不純物濃度は、これに限るものではない。

また、前記溝型素子分離領域 3 6 の深さは、シャローウェル領域 3 4 の深さに、該シャローウェル領域 3 4 とディープウェル領域 3 3 との接合によって形成される空乏層幅（正確には該空乏層幅のうち、ディープウェル領域 3 3 側に伸びている長さ）を加算した値以上に設定することによって、隣接する素子間でシャローウェル領域 3 4 を相互に電氣的に絶縁することができる。

これに対して、前記溝型素子分離領域 3 6 の深さが、シャローウェル領域 3 4 の深さと、該シャローウェル領域 3 4 とディープウェル領域 3 3 との接合によって形成される空乏層幅との合計値に達しない場合には、ディープウェル領域 3 3 側の空乏層によって、隣接する素子のシャローウェル領域 3 3 間が電氣的に導通することになり、パンチスルーが発生してしまう。

このため、前述のように構成することによって、素子形成上の最小加工寸法に略等しい溝型分離領域 3 6 部分の僅かなスペースが増加するだ

けで、隣接する素子間を相互に電氣的に絶縁することができる。これによって、前述の図 4 ～ 図 6 で示す半導体素子 11 のように、ボディー抵抗が高く、高価な S O I 基板を用いることなく、前記図 1 で示すような 4 端子の半導体素子 1 をバルクタイプに構成することができる。

- 5 以上のように、本実施例は、半導体基板内に P，N いずれか一方の導電型式のディープウェル領域と、P，N いずれか他方の導電型式のシャローウェル領域とを形成し、かつ相互に隣接する素子間が溝型分離領域によって少くともそのシャローウェル領域を電氣的に分離したバルク基板を用い、分離された各素子形成領域毎に M O S F E T を形成し、その
- 10 M O S F E T のソース領域およびドレイン領域以外の領域にコンタクト孔を設け、シャローウェル領域を外部と電氣的に接続して電極として使用可能とする構成を有している。

- それゆえ、バルク基板であっても、各素子形成領域のシャローウェル領域を溝型素子分離領域で電氣的に絶縁することによって、各素子相互
- 15 間の干渉を防止して各素子毎の個別の動作を可能とする。そして、その M O S F E T の半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力とこの半導体層への入力との 2 つの入力を可能とする。

- しかも、1 素子で 2 入力、1 出力の回路を実現することができ、M O
- 20 S F E T 単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたってその集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。また、S O I，S O S 基板を用いる場合よりも、低コスト化が可能であると共に、第 1 の電極の抵抗値を低減すること

ができる。

本発明の第4実施例について、図10および図11に基づいて説明すれば以下の通りである。

図10は、単位素子である前述の半導体素子1, 11, 31を用いる
5 具体例を示すものであり、CMOS構成の論理回路LOG1の電気回路図である。この論理回路LOG1は、対を成すPMOSFET(QP)と、NMOSFET(QN)とを備えており、PMOSFET(QP)のソースTSPがハイレベル(V_{DD})の電源ラインと接続され、NMOSFET(QN)のソースTSNがローレベル(GND)の電源ライン
10 と接続され、両MOSFET(QP及びQN)のドレインTDP, TDNが共に出力端子P3に接続され、ゲートTGP, TGNが共に第1の入力端子P1に接続される通常のCMOSインバータの構成において、基板端子TWP, TWNを共に第2の入力端子P2に接続するようにしたものである。

15 また、電源電圧 V_{DD} やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET(QP)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(a)で示すように設定されており、同様にNMOSFET(QN)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(b)で示すように設定されている。すなわち
20 、両MOSFET(QP及びQN)は、ともに入力IN2が低電位(L)のときには閾値電圧(グラフにおける折点)が高電位(H)より高く、入力IN2が高電位(H)であるときには閾値電圧が該高電位(H)より低く、かつ低電位(L)より高くなるように設定されている。

上述のように構成された論理回路LOG1では、入力IN1が低電位

(L)であるときには、入力IN2の電位に無関係に、PMOSFET (QP)は導通し、NMOSFET (QN)は遮断し、出力OUTは高電位(H)となる。これに対して、入力IN1が高電位(H)であると、入力IN2が低電位(L)であるときにPMOSFET (QP)は導通し、NMOSFET (QN)は遮断し、出力OUTは高電位(H)となり、入力IN2も高電位(H)となると、PMOSFET (QP)は遮断し、NMOSFET (QN)は導通し、出力OUTは低電位(L)となる。以上の動作をまとめると表1のようになり、入力IN1, IN2がともに高電位(H)であるときにのみ出力OUTが低電位(L)となり、入力IN1, IN2の少なくともいずれか一方が低電位(L)であるときには出力OUTが高電位(H)となるNAND動作を実現することが理解される。

【表1】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	H
L	H	ON	OFF	H
H	L	ON	OFF	H
H	H	OFF	ON	L

したがって、通常は4個のMOSFETが必要なNAND回路を、2個のMOSFETで実現することができ、1素子当たりの高機能化を図ることによって集積回路化にあたってその集積度を確実に向上することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一對と

したCMOSインバータの構成において、両者のコンタクト孔を共に第2の入力端子とし、通常の入力である両者のゲートを共に第1の入力端子とする構成を有している。

5 それゆえ、2つの入力 of 電位またはチャネル領域の不純物濃度を適宜調整することによって、NANDまたはNOR回路を実現することができ、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

本発明の第5実施例について、図12および図13に基づいて説明すれば以下の通りである。

10 図12は、本発明の第5実施例の論理回路LOG2の電気回路図である。この論理回路LOG2は、P、N一对のMOSFET(QP及びQN)を備えて構成されており、PMOSFET(QP)のソースTSPはハイレベル(V_{DD})の電源ラインに接続され、NMOSFET(QN)のソースTSNはローレベル(GND)の電源ラインに接続され、両者のドレインTDP、TDNが共に出力端子P3に接続される点において、前述の論理回路LOG1と類似している。しかしながら、次の点において異なっている。すなわち、PMOSFET(QP)のゲートTGPとNMOSFET(QN)の基板端子TWNとを共に入力端子P1に接続し、NMOSFET(QN)のゲートTGNとPMOSFET(QP)の基板端子TWPとを共に入力端子P2に接続している。

15

20

また、この論理回路LOG2の動作特性は、図13で示すように設定されている。すなわち、PMOSFET(QP)は、図13(a)で示すように、入力IN2、すなわちウェル電位が低電位(L)であるときには閾値電圧が高電位(H)より高く、前記入力IN2が高電位(H)

であるときには前記閾値電圧が前記高電位（H）より低く、かつ低電位（L）より高くなるように設定されている。これに対して、NMOSFET（QN）は、図13（b）で示すように、入力IN1が低電位（L）であるときには閾値電圧が高電位（H）より高く、前記入力IN1が高電位（H）であるときには前記閾値電圧が前記高電位（H）より低く、かつ低電位（L）より高くなるように設定されている。

したがって、入力IN1が低電位（L）であるときには、入力IN2のレベルに無関係に、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。また、入力IN1が高電位（H）では、入力IN2が低電位（L）であると、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。さらにまた、入力IN1，IN2がともに高電位（H）であるときには、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。

すなわち、前記表1で示すように、入力IN1，IN2がともに高電位（H）であるときにのみ出力OUTは低電位（L）となり、その他の場合には出力OUTは高電位（H）となる。このように構成してもまた、前記NAND動作を実現することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一対としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする構成を有している。

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調

整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

5 本発明の第6実施例について、図14に基づいて説明すれば以下の通りである。

本第6実施例では、前述の図10で示す論理回路LOG1において、MOSFET（QP及びQN）の動作特性を、それぞれ前記図11（a）および図11（b）のように設定するのではなく、図14（a）および図14（b）のように設定する。すなわち、MOSFET（QP及び
10 QN）は、ともに、入力IN2が低電位（L）であるときには、閾値電圧が該低電位（L）より高く、かつ高電位（H）より低く、入力IN2が高電位（H）であるときには、前記閾値電圧が該低電位（L）より低くなるように設定されている。

これによって、入力IN1が高電位（H）であるときには、入力IN
15 2の電位に無関係に、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。また、入力IN1が低電位（L）であり、かつ入力IN2が高電位（H）であるときにも、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。さらにまた、入力IN1，I
20 N2がともに低電位（L）であるときには、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。したがって、これらの動作をまとめると、表2で示すように、入力IN1，IN2がともに低電位（L）であるときにのみ出力OUTが高電位（H）となり、その他の場合には出力OUTが低電位（L）と

なるNOR動作を実現することができる。

【表 2】

I N 1	I N 2	Q P	Q N	O U T
L	L	O N	O F F	H
L	H	O F F	O N	L
H	L	O F F	O N	L
H	H	O F F	O N	L

5

このようにして、通常は4個のMOSFETが必要なNOR回路を、
10 2個のMOSFETによって実現することができる。

本発明の第7実施例について、図15に基づいて説明すれば以下の通りである。

図15は、本発明の第7実施例の動作特性を示すグラフであり、前述の図12で示す論理回路LOG2に適用される。図15(a)はPMOSFET(QP)の動作特性を表し、図15(b)はNMOSFET(QN)の動作特性を表す。すなわち、PMOSFET(QP)のウェル電位(入力IN2)およびNMOSFET(QN)のウェル電位(入力IN1)が、ともに低電位(L)であるときには、それぞれの閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く設定され、ウェル電位がともに高電位(H)であるときには、閾値電圧が該低電位(L)より低くなるように設定されている。
15
20

したがって、入力IN1が高電位(H)であるときには、入力IN2の電位に関係なく、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。また、入力IN

1 が低電位 (L) であり、入力 IN_2 が高電位 (H) であるときにも、PMOSFET (QP) は遮断し、NMOSFET (QN) は導通し、出力 OUT は低電位 (L) となる。さらにまた、入力 IN_1 , IN_2 がともに低電位 (L) であるときには、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力 OUT は高電位 (H) となる。

したがって、このように構成してもまた、前記表 2 で示すように、入力 IN_1 , IN_2 がともに低電位 (L) であるときにのみ出力 OUT が高電位 (H) となり、その他の場合には低電位 (L) となる NOR 動作を実現することができる。

10 本発明の第 8 実施例について、図 16 および図 17 に基づいて説明すれば以下の通りである。

図 16 は、本発明の第 8 実施例の論理回路 LOG3 の電気回路図である。この論理回路 LOG3 では、NMOSFET (QN) のドレイン T_{DN} がハイレベル (V_{DD}) の電源ラインと接続され、PMOSFET (QP) のドレイン T_{DP} がローレベル (GND) の電源ラインと接続され、両 MOSFET (QP 及び QN) のソース T_{SP}, T_{SN} が共に出力端子 P₃ に接続され、ゲート T_{GP}, T_{GN} が共に第 1 の入力端子 P₁ に接続され、基板端子 T_{WP}, T_{WN} が共に第 2 の入力端子 P₂ に接続される。

20 また、電源電圧 V_{DD} やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET (QP) の入力 IN_1 , IN_2 に対するドレイン電流の動作特性は、図 17 (a) で示すように設定されており、同様に NMOSFET (QN) の入力 IN_1 , IN_2 に対するドレイン電流の動作特性は、図 17 (b) で示すように設定されている。

すなわち、両MOSFET（QP及びQN）がともに入力IN2、す
 なわちウェル電位が低電位（L）であるときには、閾値電圧が高電位（
 H）より高くなるように設定され、入力IN2が高電位（H）であるとき
 には、閾値電圧が該高電位（H）より低く、かつ低電位（L）より高
 5 くなるように設定されている。

したがって、入力IN1が低電位（L）であるときには、入力IN2
 の電位に無関係に、PMOSFET（QP）は導通し、NMOSFET
 （QN）は遮断し、出力OUTは低電位（L）となる。また、入力IN
 1が高電位（H）であり、入力IN2が低電位（L）であるときにも、
 10 PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、
 出力OUTは低電位（L）となる。さらにまた、入力IN1，IN2が
 ともに高電位（H）であるときには、PMOSFET（QP）は遮断し
 、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。

したがって、表3で示すように、入力IN1，IN2がともに高電位
 15 （H）であるときにのみ出力OUTは高電位（H）となり、その他の場
 合には出力OUTは低電位（L）となって、AND動作を行うことが理
 解される。

【表3】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	L
L	H	ON	OFF	L
H	L	ON	OFF	L
H	H	OFF	ON	H

このようにして、従来技術で述べたように、通常 6 個の MOSFET で構成される AND 回路を、2 個の MOSFET で実現することができる。

5 以上のように、本実施例は、導電型式が相互に逆極性の素子を一対とし、N 型半導体素子のドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、両者のゲートを共に第 1 の入力端子とし、両者のコンタクト孔を共に第 2 の入力端子とする構成を有している。

それゆえ、2 つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、AND または OR 回路を実現することができる。
10 これによって、従来では 6 つの MOSFET を要したこれらの回路を、2 つの MOSFET で実現することができる。

本発明の第 9 実施例について、図 18 および図 19 に基づいて説明すれば以下の通りである。

図 18 は、本発明の第 9 実施例の論理回路 LOG 4 の電気回路図である。
15 この論理回路 LOG 4 では、NMOSFET (QN) のドレイン T_{DN} はハイレベル (V_{DD}) の電源ラインに接続され、PMOSFET (QP) のドレイン T_{DP} はローレベル (GND) の電源ラインに接続され、両者のソース T_{SP}, T_{SN} が共に出力端子 P₃ に接続される点において、前述の論理回路 LOG 3 と類似している。しかしながら、次の
20 点において異なっている。すなわち、NMOSFET (QN) のゲート T_{GN} と PMOSFET (QP) の基板端子 T_{WP} とを共に入力端子 P₁ に接続し、PMOSFET (QP) のゲート T_{GP} と NMOSFET (QN) の基板端子 T_{WN} とを共に入力端子 P₂ に接続している。

また、この論理回路 LOG 4 の動作特性は、図 19 で示すように設定

されている。すなわち、PMOSFET (QP) は、図 19 (a) で示すように、入力 IN1、すなわちウェル電位が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力 IN1 が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。これに対して、NMOSFET (QN) は、図 19 (b) で示すように、入力 IN2 が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力 IN2 が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。

したがって、入力 IN1 が低電位 (L) であるときには、入力 IN2 のレベルに無関係に、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力 OUT は低電位 (L) となる。また、入力 IN1 が高電位 (H) では、入力 IN2 が低電位 (L) であると、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力 OUT は低電位 (L) となる。さらにまた、入力 IN1, IN2 がともに高電位 (H) であるときには、PMOSFET (QP) は遮断し、NMOSFET (QN) は導通し、出力 OUT は高電位 (H) となる。

すなわち、前記表 3 で示すように、入力 IN1, IN2 がともに高電位 (H) であるときにのみ出力 OUT は高電位 (H) となり、その他の場合には出力 OUT は低電位 (L) となる。このように構成してもまた、前記 AND 動作を実現することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一対とし、N型半導体素子のドレインを高電位固定とし、P型半導体素子のドレインを低電位固定とし、N型半導体素子のゲートおよびP型半導体素

子のコンタクト孔を共に第1の入力端子とし、P型半導体素子のゲートおよびN型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とする構成を有している。

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

本発明の第10実施例について、図20に基づいて説明すれば以下の通りである。

図20は、本発明の第10実施例の動作特性を示すグラフである。この動作特性は、前述の図16で示す論理回路LOG3に適用される。図20(a)はPMOSFET(QP)の動作特性を表し、図20(b)はNMOSFET(QN)の動作特性を表す。したがって、MOSFET(QP及びQN)のウェル電位、すなわち入力IN2がともに低電位(L)であるときには、閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く、入力IN2が高電位(H)であるときには、閾値電圧が該低電位(L)より低くなるように設定されている。

これによって、入力IN1が高電位(H)であるときには、入力IN2の電位に無関係に、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。また、入力IN1が低電位(L)であり、入力IN2が高電位(H)であるときにも、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。さらにまた、入力IN1、IN2がともに低電位(L)であるときには、PMOSFET(QP)は導通

し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。

すなわち、表 4 で示すように、入力 IN 1, IN 2 がともに低電位 (L) であるときにのみ出力OUTが低電位 (L) となり、その他の場合には出力OUTが高電位 (H) となるOR動作を実現することが理解される。

【表 4】

IN 1	IN 2	QP	QN	OUT
L	L	ON	OFF	L
L	H	OFF	ON	H
H	L	OFF	ON	H
H	H	OFF	ON	H

このようにして、前述のように通常では 6 個のMOSFETで構成されるOR回路を、2 個のMOSFETで実現することができる。

本発明の第 1 1 実施例について、図 2 1 に基づいて説明すれば以下の通りである。

図 2 1 は、本発明の第 1 1 実施例の動作特性を示すグラフであり、前述の図 1 8 で示す論理回路 LOG 4 に適用される。図 2 1 (a) は PMOSFET (QP) の動作特性を表し、図 2 1 (b) は NMOSFET (QN) の動作特性を表す。すなわち、PMOSFET (QP) のウェル電位 (入力 IN 1)、および NMOSFET (QN) のウェル電位 (入力 IN 2) が低電位 (L) であるときに閾値電圧が該低電位 (L) より高く、かつ高電位 (H) より低くなり、前記ウェル電位が高電位 (H)

）であるときには、閾値電圧が低電位（L）より低くなるように設定されている。

したがって、入力 I N 1 が高電位（H）であるときには、入力 I N 2 の電位に無関係に、P M O S F E T（Q P）は遮断し、N M O S F E T（Q N）は導通し、出力 O U T は高電位（H）となる。また、入力 I N 1 が低電位（L）であり、入力 I N 2 が高電位（H）であるときにも、P M O S F E T（Q P）は遮断し、N M O S F E T（Q N）は導通し、出力 O U T は高電位（H）となる。さらにまた、入力 I N 1， I N 2 がともに低電位（L）であるときには、P M O S F E T（Q P）は導通し、N M O S F E T（Q N）は遮断し、出力 O U T は低電位（L）となる。

すなわち、前記表 4 で示すように、入力 I N 1， I N 2 がともに低電位（L）であるときにのみ出力 O U T が低電位（L）となり、その他の場合には出力 O U T が高電位（H）となり、このように構成してもまた、前記 O R 動作を実現することができる。

以上のように、上述の実施例は、ゲートおよびコンタクト孔をそれぞれ入力端子とし、クロックなどによって相互に同期の取れた個別の入力信号を入力する構成を有している。

それゆえ、単純な 1 入力 1 出力の O N / O F F 動作ではなく、2 入力 1 出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

尚、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求の範囲内で、いろ

いろと変更して実施することができるものである。

産業上の利用可能性

5 以上のように、本発明に係る半導体装置は、各種ロジック演算回路として有用であり、特に、1素子当たりの高機能化による高集積度化、動作速度の高速化、歩留りの向上、及びコストの削減化を図る必要のある各種ロジック演算回路に適している。

請 求 の 範 囲

1. 半導体層のウェルにおいて、ソース端子を有するソース領域とド
レイン端子を有するドレイン領域とが設けられ、これらの間のチャネル
5 領域上に、ゲート絶縁膜を介してゲート端子が設けられた半導体素子を
複数備えた半導体装置であって、

上記半導体素子は相互に電氣的に分離されており、

上記の各ウェルにおいて上記ソース領域および上記ドレイン領域以外
の領域に設けられたコンタクト孔を介して基板端子が設けられている半
10 導体装置。

2. 上記チャネル領域の不純物濃度、ゲート端子及び基板端子に印加
する高電圧、低電圧のレベルを調整して動作特性を変える請求項1記載
の半導体装置。

3. 上記の各半導体層は、酸化膜によって電氣的に互いに分離されて
15 いる請求項1記載の半導体装置。

4. 半導体層のウェルにおいて、ソース端子を有するソース領域とド
レイン端子を有するドレイン領域とが設けられ、これらの間のチャネル
領域上に、ゲート絶縁膜を介してゲート端子が設けられた半導体素子を
複数備えた半導体装置であって、

20 上記半導体素子は、相互に電氣的に分離されており、

上記の半導体層は、シャローウェル領域、該シャローウェル領域の抵
抗を低減するための高濃度埋込領域、及びディープウェル領域が積層さ
れてなり、

上記の各シャローウェル領域において上記ソース領域および上記ドレ

イン領域以外の領域に設けられたコンタクト孔を介して基板端子が設けられている半導体装置。

5. 上記半導体素子は、溝型分離領域によって電氣的に互いに分離されており、

- 5 上記溝型分離領域の深さは、上記シャローウェル領域の深さと、該シャローウェル領域と上記ディープウェル領域の接合によって形成される空乏層との合計値以上に設定されている請求項 4 記載の半導体装置。

6. 上記の各半導体素子は、一對の P 型半導体素子および N 型半導体素子からなり、

- 10 上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 1 記載の半導体装置。

- 15 7. 上記の各半導体素子は、一對の P 型半導体素子および N 型半導体素子からなり、

- 上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて
20 第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 4 記載の半導体装置。

8. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位の際には閾値電圧が高電位より高く、上記の第 2 入力端子が高電位の際には閾値電圧が高電位より低く且つ低電位よ

りも高くなるように設定されている請求項 6 記載の半導体装置。

9. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項 7 記載の半導体装置。

10. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 1 入力端子となり、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子とする請求項 1 記載の半導体装置。

11. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 1 入力端子となり、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子とする請求項 4 記載の半導体装置。

12. 上記 P 型半導体素子は、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されて

いると共に、

上記N型半導体素子は、上記の第1入力端子が低電位のときには閾値電圧が高電位より高く、上記の第1入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項10記載の半導体装置。

13. 上記P型半導体素子は、上記の第2入力端子が低電位のときには閾値電圧が高電位より高く、上記の第2入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されていると共に、

10 上記N型半導体素子は、上記の第1入力端子が低電位のときには閾値電圧が高電位より高く、上記の第1入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項11記載の半導体装置。

14. 上記P型半導体素子および上記N型半導体素子は、共に、上記
15 の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項6記載の半導体装置。

15. 上記P型半導体素子および上記N型半導体素子は、共に、上記
20 の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項7記載の半導体装置。

16. 上記P型半導体素子および上記N型半導体素子は、共に、上記の第1入力端子および上記の第2入力端子が何れも低電位であるときには、それぞれの閾値電圧が低電位より高く且つ高電位より低く、上記の

第 1 入力端子および上記の第 2 入力端子が何れも高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項 10 記載の半導体装置。

1 7. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記
5 の第 1 入力端子および上記の第 2 入力端子が何れも低電位であるときには、それぞれの閾値電圧が低電位より高く且つ高電位より低く、上記の第 1 入力端子および上記の第 2 入力端子が何れも高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項 11 記載の半導体装置。

10 1 8. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて第 2 入力端子となり、両者のソース端子は互いに接続されて出力端子となる請求項 1 記載の半導体装置。
15

1 9. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて第 2 入力端子となり、両者のソース端子は互いに接続されて出力端子となる請求項 4 記載の半導体装置。
20

2 0. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記

の第 2 入力端子が低電位であるときには、閾値電圧が高電位より高く、上記の第 2 入力端子が高電位であるときには、閾値電圧が高電位より低く且つ低電位より高くなるように設定されている請求項 1 8 記載の半導体装置。

- 5 2 1. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位であるときには、閾値電圧が高電位より高く、上記の第 2 入力端子が高電位であるときには、閾値電圧が高電位より低く且つ低電位より高くなるように設定されている請求項 1 9 記載の半導体装置。

- 10 2 2. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて

15 第 1 入力端子となり、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 1 記載の半導体装置。

- 20 2 3. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて第 1 入力端子となり、上記 P 型半導体素子のゲート端子および上記 N 型

半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 4 記載の半導体装置。

2 4. 上記 P 型半導体素子は、上記の第 1 入力端子が低電位のときには
5 は閾値電圧が高電位より高く、上記の第 1 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されていると共に、

上記 N 型半導体素子は、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電
10 圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項 2 2 記載の半導体装置。

2 5. 上記 P 型半導体素子は、上記の第 1 入力端子が低電位のときには
は閾値電圧が高電位より高く、上記の第 1 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されて
15 いると共に、

上記 N 型半導体素子は、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項 2 3 記載の半導体装置。

20 2 6. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位であるときには、閾値電圧が低電位より高く且つ高電位より低く、上記の第 2 入力端子が高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項 1 8 記載の半導体装置。

2 7. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記
の第 2 入力端子が低電位であるときには、閾値電圧が低電位より高く且
つ高電位より低く、上記の第 2 入力端子が高電位であるときには、閾値
電圧が低電位より低くなるように設定されている請求項 1 9 記載の半導
5 体装置。

2 8. 上記 P 型半導体素子および上記 N 型半導体素子は、上記の第 2
入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より
低く、上記の第 2 入力端子が高電位のときには閾値電圧が低電位より低
くなるように設定されている請求項 2 2 記載の半導体装置。

10 2 9. 上記 P 型半導体素子および上記 N 型半導体素子は、上記の第 2
入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より
低く、上記の第 2 入力端子が高電位のときには閾値電圧が低電位より低
くなるように設定されている請求項 2 3 記載の半導体装置。

3 0. 半導体基板と、

15 前記半導体基板上に形成される下地絶縁膜と、

前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲
されて隣接素子間が区分され、第 1 の電極となる P，N いずれか一方の
導電型式の半導体層と、

前記半導体層内に形成され、P，N いずれか他方の導電型式で第 2 の
20 電極となるソース領域および第 3 の電極となるドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されるチャネル領域
と、

前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第 4 の電極となるゲート電極とを備

え、

前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

5 3 1. 半導体基板と、

前記半導体基板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域と、

前記ディープウェル領域上に形成され、第1の電極となるP、Nいずれか他方の導電型式のシャローウェル領域と、

10 前記シャローウェル領域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されるチャネル領域と、

15 前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、

相互に隣接する素子間が溝型分離領域によって少くともシャローウェル領域が電氣的に分離されており、該溝型分離領域で隣接素子間が区分
20 された各シャローウェル領域毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

3 2. 導電型式が相互に逆極性の素子を一对とし、P型半導体素子のソースを高電位固定とし、N型半導体素子のソースを低電位固定とし、両者のゲートを共に第1の入力端子とし、両者のコンタクト孔を共に第

2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 3 . 導電型式が相互に逆極性の素子を一对とし、P 型半導体素子のソースを高電位固定とし、N 型半導体素子のソースを低電位固定とし、
5 P 型半導体素子のゲートおよび N 型半導体素子のコンタクト孔を共に第 1 の入力端子とし、N 型半導体素子のゲートおよび P 型半導体素子のコンタクト孔を共に第 2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 4 . 導電型式が相互に逆極性の素子を一对とし、N 型半導体素子の
10 ドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、両者のゲートを共に第 1 の入力端子とし、両者のコンタクト孔を共に第 2 の入力端子とし、両者のソースを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 5 . 導電型式が相互に逆極性の素子を一对とし、N 型半導体素子の
15 ドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、N 型半導体素子のゲートおよび P 型半導体素子のコンタクト孔を共に第 1 の入力端子とし、P 型半導体素子のゲートおよび N 型半導体素子のコンタクト孔を共に第 2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

20 3 6 . 上記ゲートおよび上記コンタクト孔をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することを特徴とする請求項 3 0 ～ 3 5 のいずれかに記載の半導体装置の駆動方法。

図 1

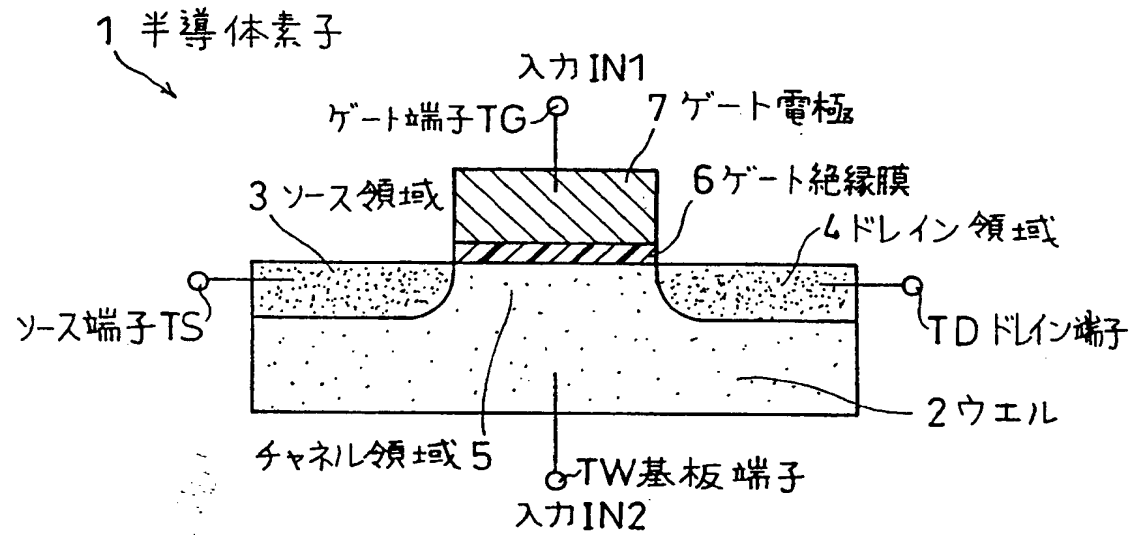
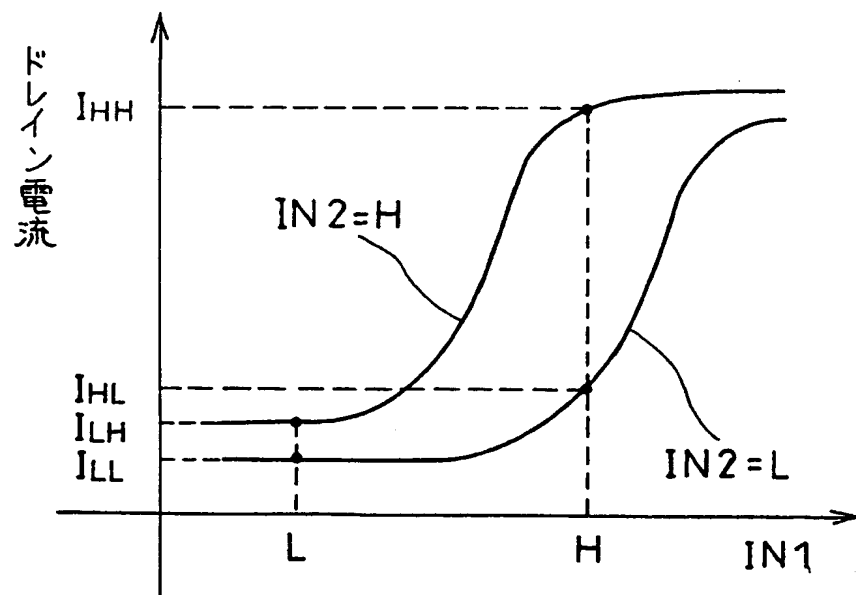


図 2



THIS PAGE BLANK (USPTO)

2/19

図 3

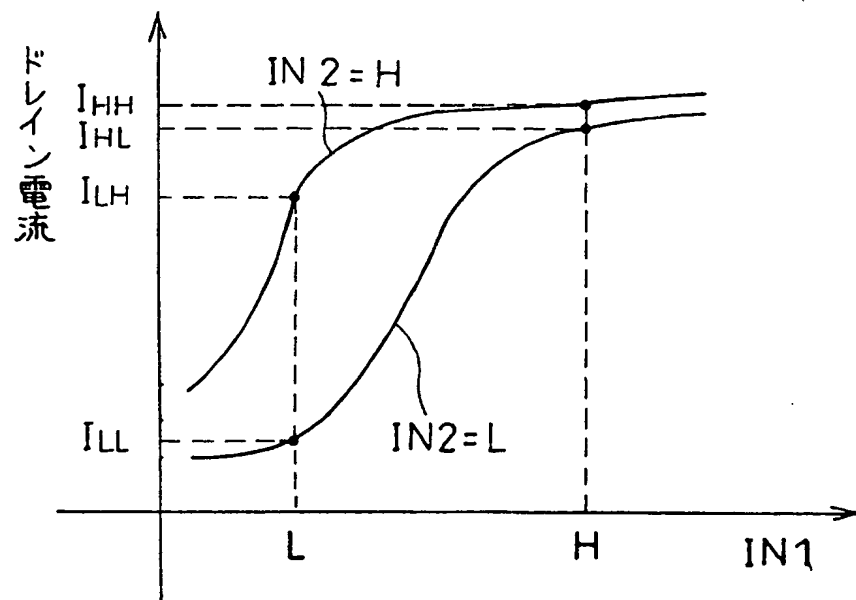
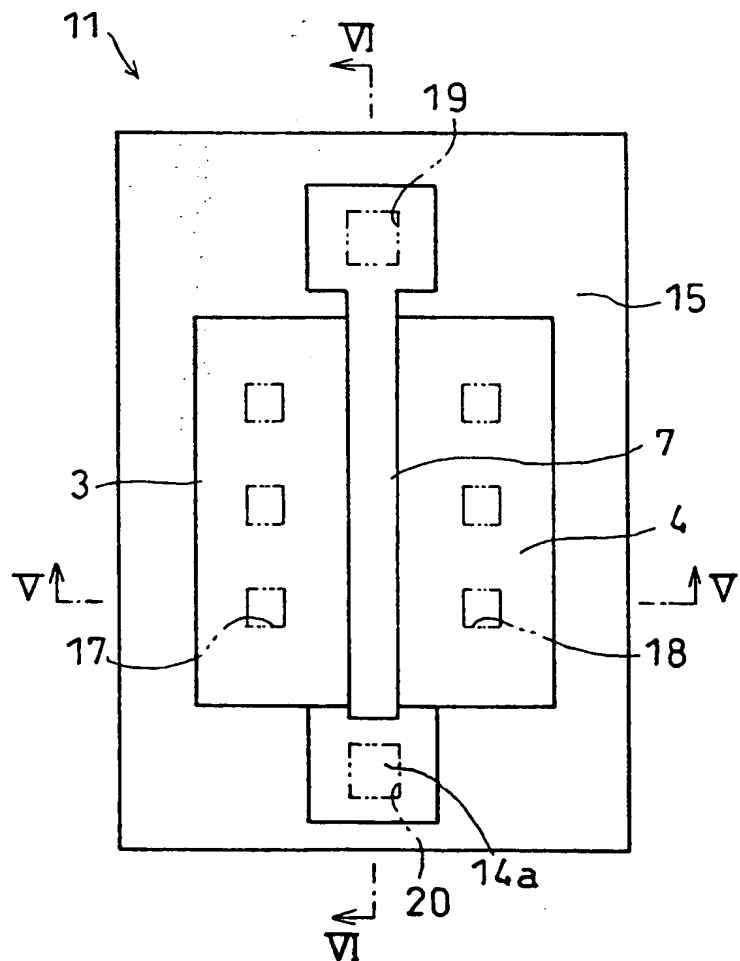


図 4



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

4/19

図 7

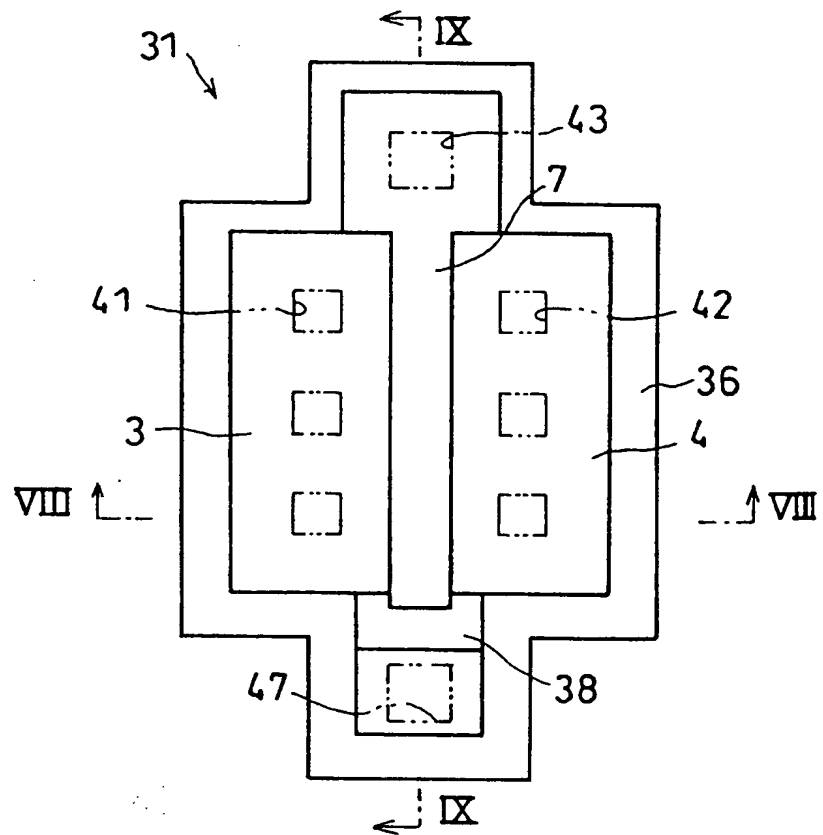
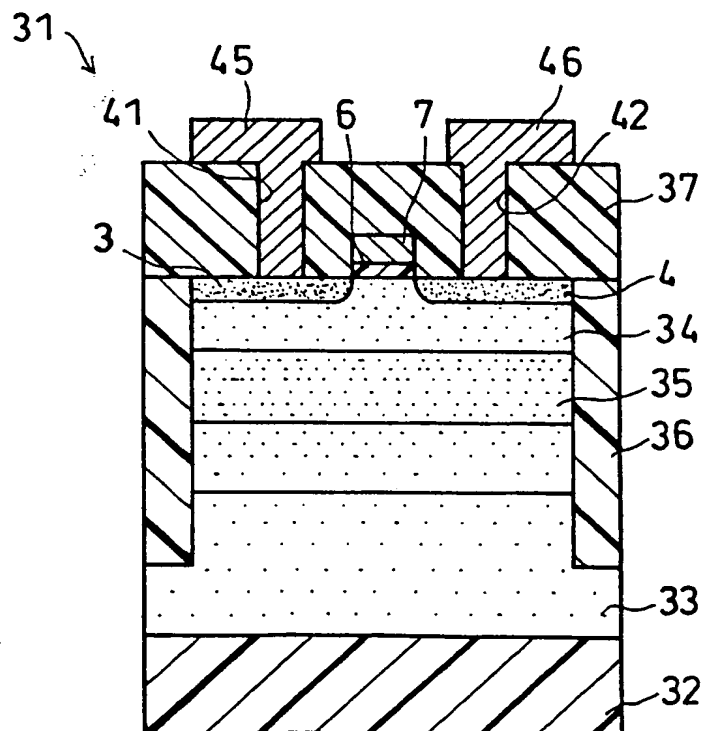
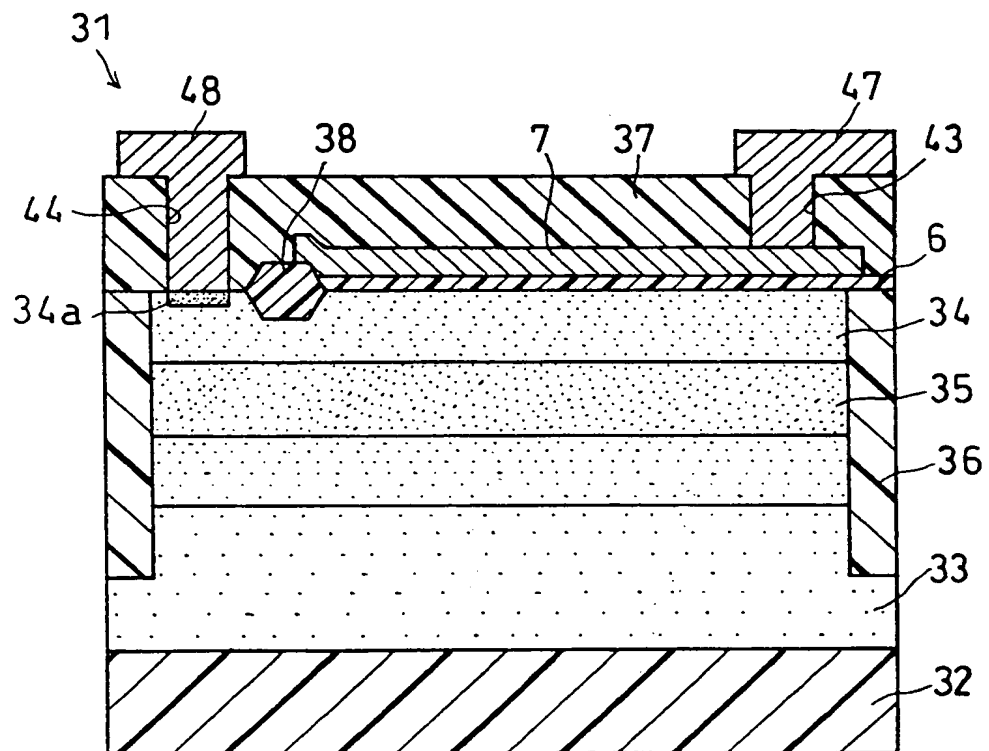


図 8



THIS PAGE BLANK (USPTO)

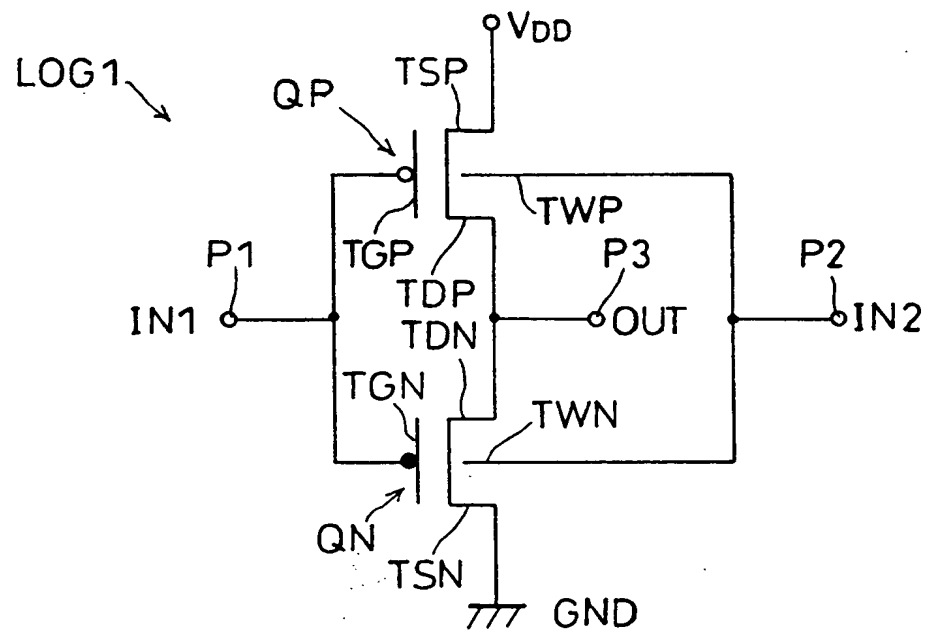
図 9



THIS PAGE BLANK (USPTO)

6/19

図 10



THIS PAGE BLANK (SP'16)

図11(b)

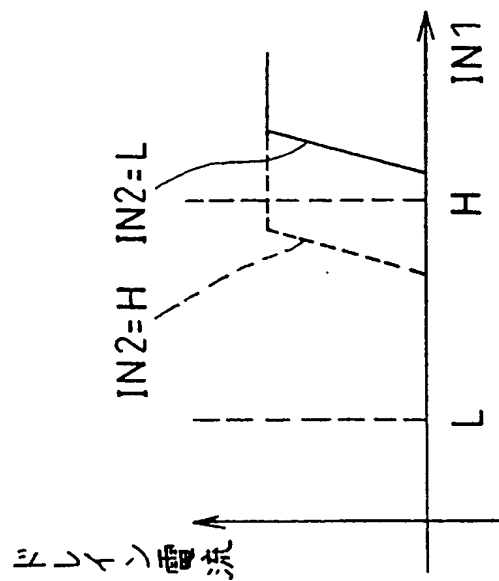
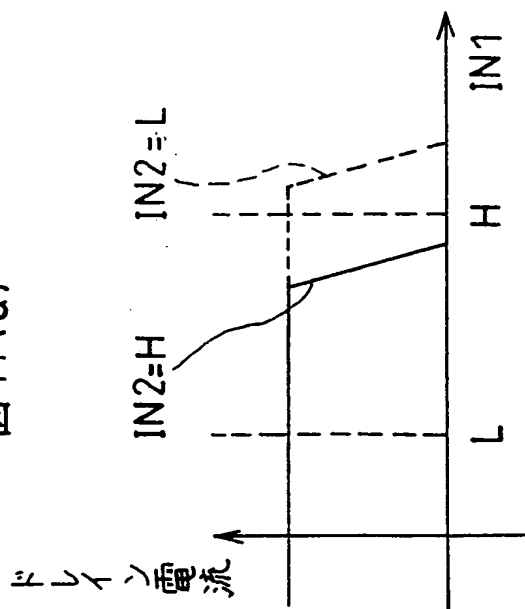


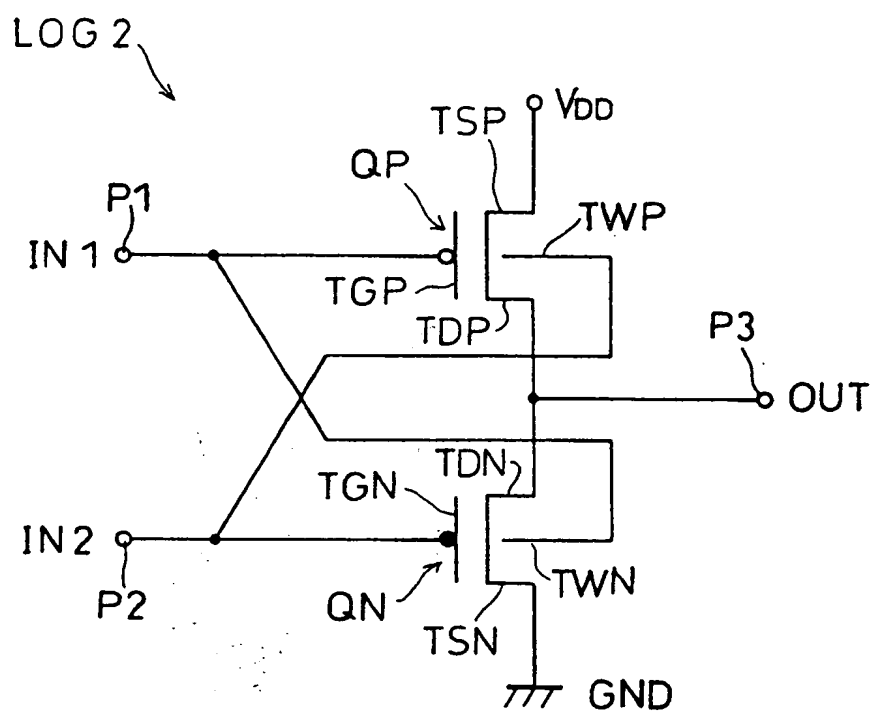
図11(a)



THIS PAGE BLANK (USPTO)

8/19

12



THIS PAGE BLANK (USPTO)

図13(b)

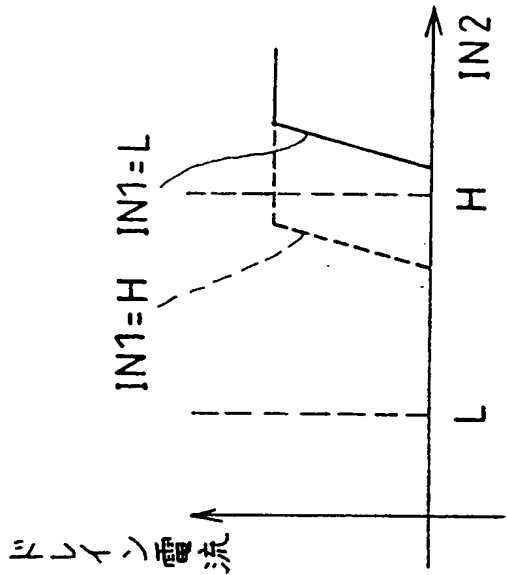
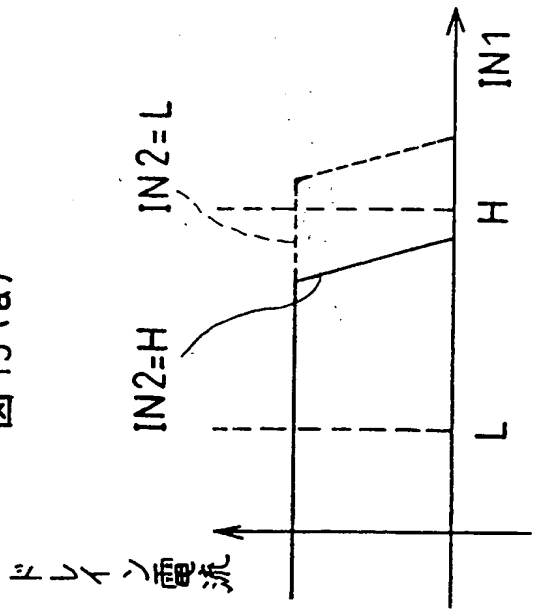


図13(a)



THIS PAGE BLANK (USPTO)

図14(b)

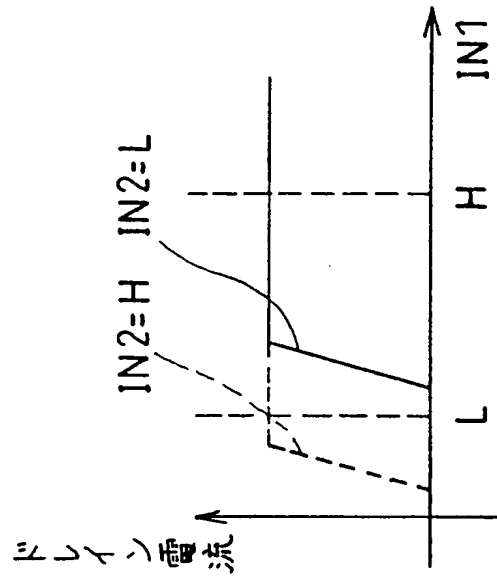
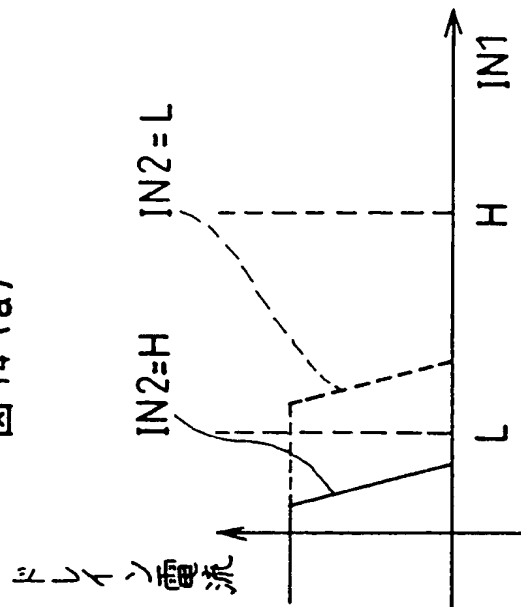


図14(a)



THIS PAGE BLANK (USPTO)

図 15 (b)

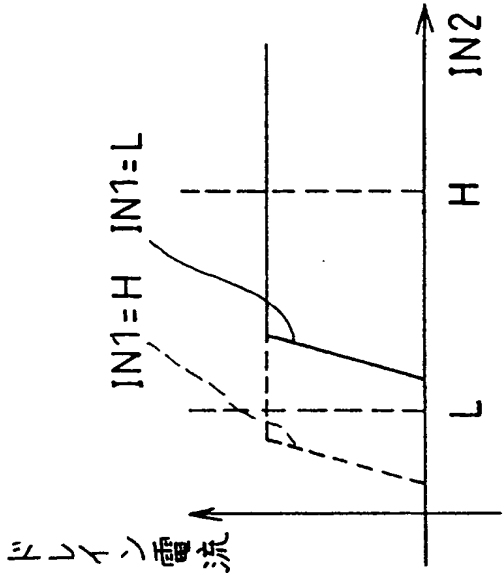
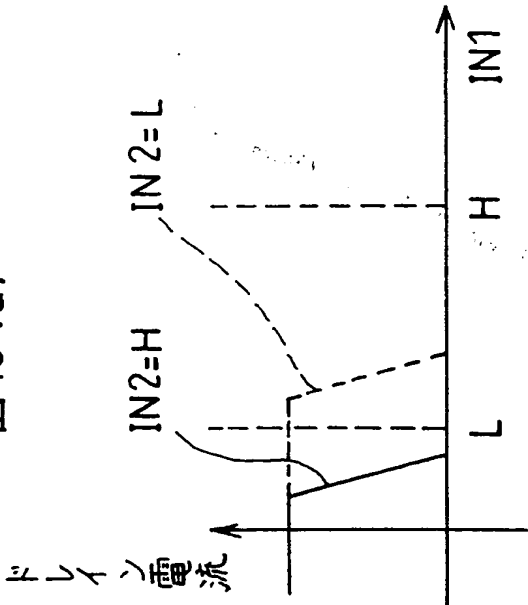


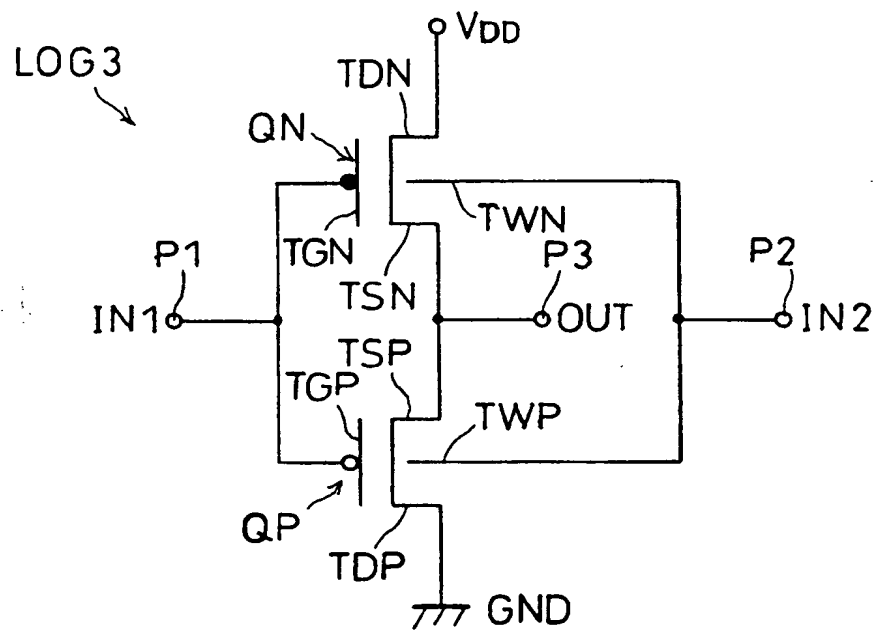
図 15 (a)



THIS PAGE BLANK (USPTO)

12/19

図 16



THIS PAGE BLANK (uspto)

図17 (b)

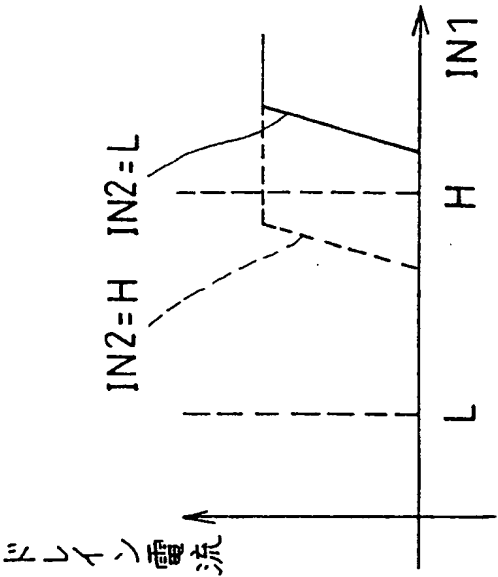
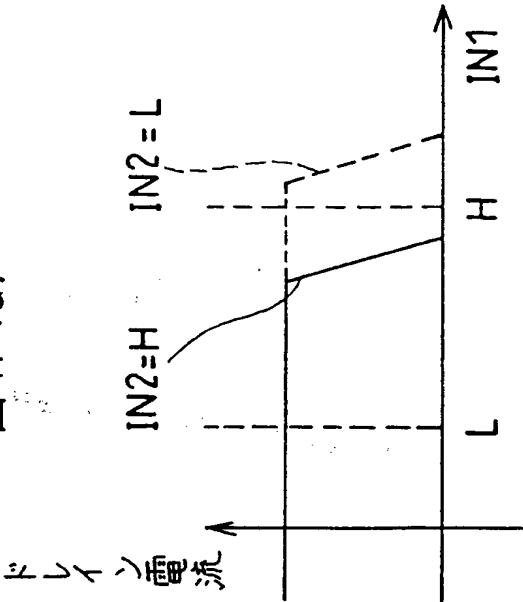


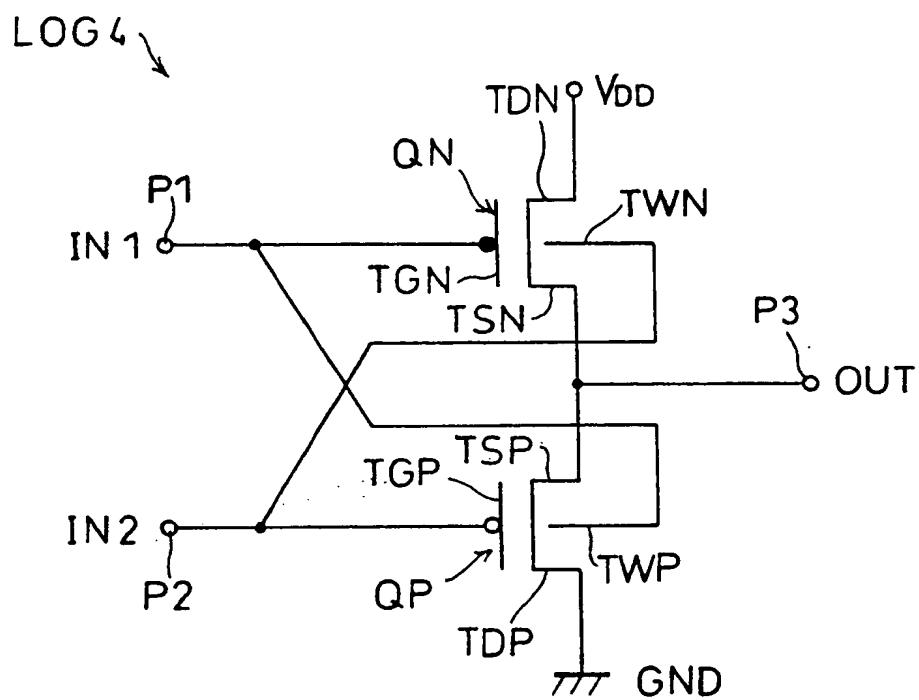
図17 (a)



THIS PAGE BLANK (uspto)

14/19

18



THIS PAGE BLANK (USPTO)

図 19 (b)

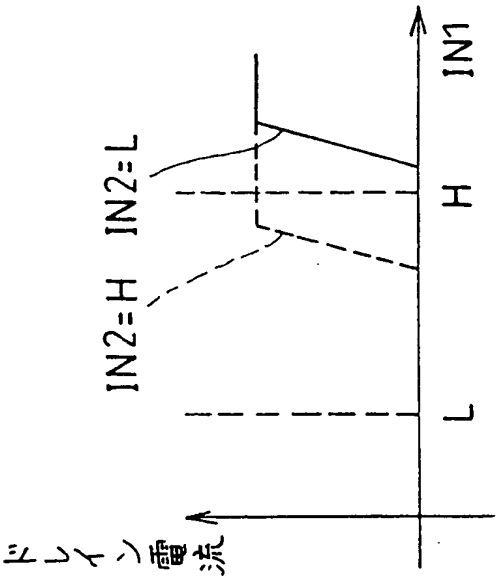
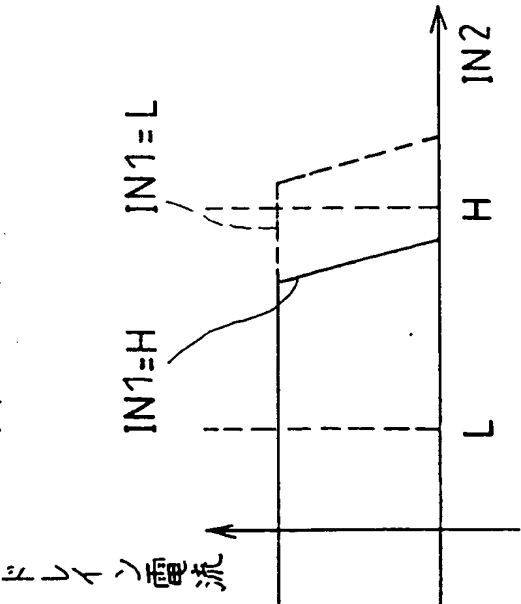


図 19 (a)



THIS PAGE BLANK (USPTO)

図 20 (b)

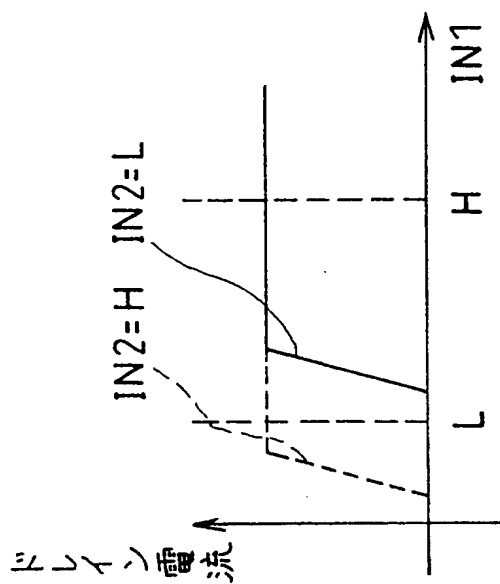
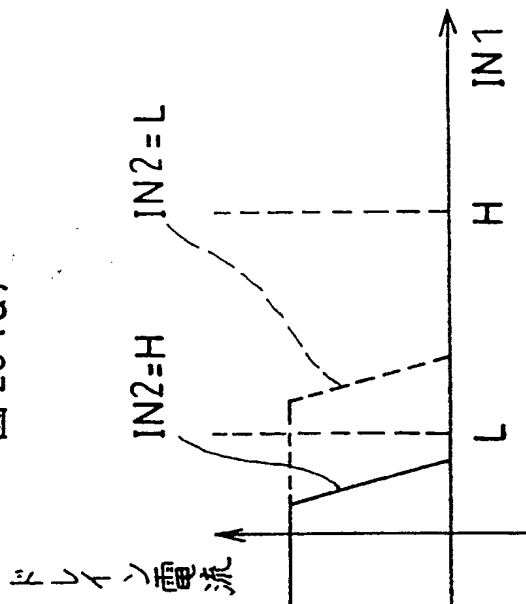


図 20 (a)



THIS PAGE BLANK (USPTO)

図 21 (b)

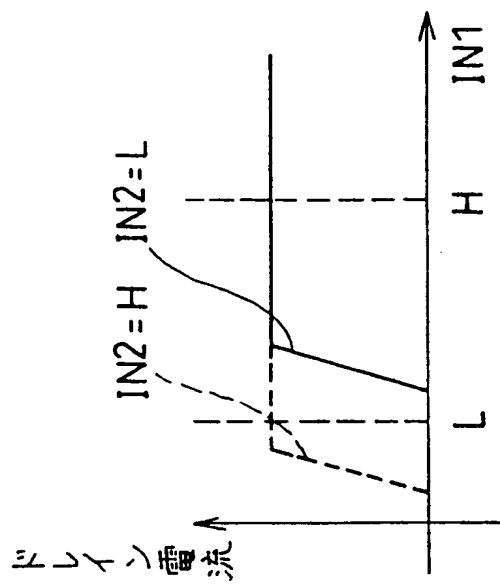
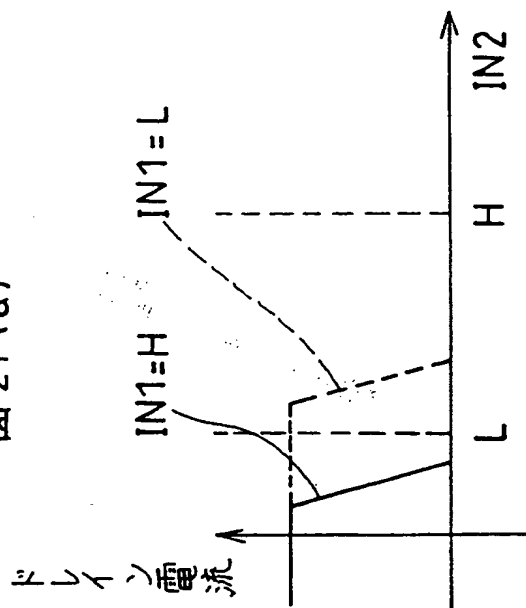
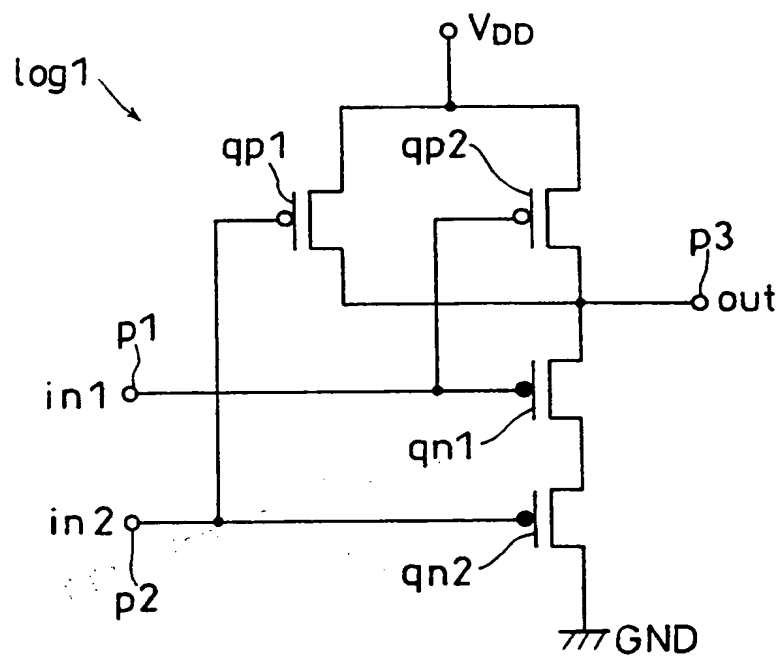


図 21 (a)



THIS PAGE BLANK (USPTO)

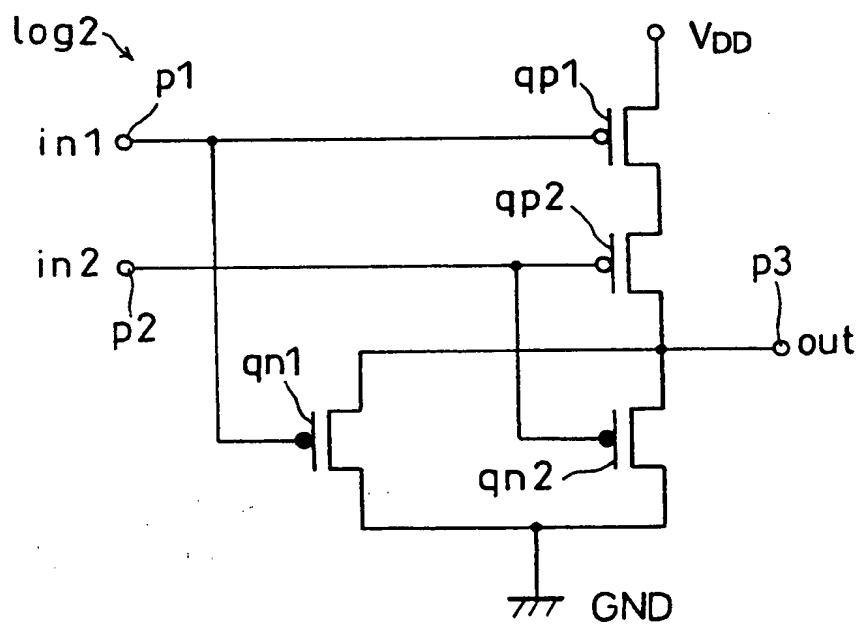
22



THIS PAGE BLANK (USPTO)

19/19

23



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00963

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L27/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L27/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1964-1996 Toroku Jitsuyo Shinan Koho 1994-1997
Kokai Jitsuyo Shinan Koho 1971-1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 04-38864, A (Nippon Telegraph & Telephone Corp.), February 10, 1992 (10. 02. 92) (Family: none) (Page 5, upper right column, line 4 to page 13, lower right column, line 13)	1-4
X	JP, 09-27556, A (Hitachi, Ltd.), January 28, 1997 (28. 01. 97) (Family: none) (Par. Nos. 23 to 42)	1-4
Y	JP, 06-53422, A (Hitachi, Ltd.), February 25, 1994 (25. 02. 94) (Family: none) (Par. Nos. 15 to 45)	5, 31
X	JP, 06-120439, A (NEC Corp.), April 28, 1994 (28. 04. 94) (Family: none)	6-9
Y	(Par. Nos. 14 to 24)	32-34

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
June 2, 1998 (02. 06. 98)

Date of mailing of the international search report
June 16, 1998 (16. 06. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00963

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 07-78885, A (Seiko Epson Corp.), March 20, 1995 (20. 03. 95) (Family: none) (Par. Nos. 6 to 10)	10-29, 35
Y		36
X	JP, 08-204140, A (NEC Corp.), August 9, 1996 (09. 08. 96)	30
Y	& EP, 724295 (31. 07. 96) (Par. Nos. 33 to 108)	32-34
THIS PAGE BLANK (USPTO)		

国際調査報告

国際出願番号 PCT/J P 98/00963

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁶ H01L 27/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl⁶ H01L 27/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1964-1996年
日本国公開実用新案公報 1971-1996年
日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P、04-38864、A (日本電信電話株式会社)、10日2月 1992年(10.02.92)、(ファミリーなし) (第5頁右上欄第4行~第13頁右下欄第13行)	1-4
X	J P、09-27556、A、(株式会社日立製作所)、28日1月 1997年、(28.01.97)、(ファミリーなし) (第23パラグラフ~第42パラグラフ)	1-4
Y	J P、06-53422、A、(株式会社日立製作所)、25日02月 1994年、(25.02.94)、(ファミリーなし) (第15パラグラフ~第45パラグラフ)	5、31
X	J P、06-120439、A (日本電気株式会社)、28日4月 1994年(28.04.94)、(ファミリーなし)	6-9
Y	(第14パラグラフ~第24パラグラフ)	32-34

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
02.06.98

国際調査報告の発送日
16.06.98

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
今井 淳一 印
4 M 9055
電話番号 03-3581-1101 内線 6894

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P、07-78885、A(セイコーエプソン株式会社)、 20日3月1995年、(20. 03. 95)、(ファミリーなし) (第6パラグラフ~第10パラグラフ)	10-29、 35
Y		36
X	J P、08-204140、A(日本電気株式会社)、9日8月 1996年、(09. 08. 96)&EP724295(31.07.96) (第33パラグラフ~第108パラグラフ)	30
Y		32-34